

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-102953

(43)Date of publication of application : 23.04.1993

(51)Int.Cl.

H04L 7/027

(21)Application number : 03-256430

(71)Applicant : SHARP CORP

(22)Date of filing : 03.10.1991

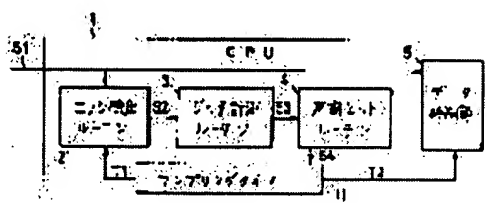
(72)Inventor : SEKI YOSHINORI  
KOIKE KIYOYUKI

## (54) BIT SYNCHRONIZING DEVICE

### (57)Abstract:

**PURPOSE:** To obtain the bit synchronizing device of a simple constitution, which can extract a synchronization timing from a bit synchronizing signal of several bits.

**CONSTITUTION:** An edge detecting routine 2 counts the number of sampling pulses to each code variation point of a bit synchronizing signal contained in a receiving signal S1. A jitter measuring routine 3 derives a jitter of every bit by calculating a difference between the number of sampling pulses to each code variation point which is counted, and the number of sampling pulses to each code variation point to be counted in the case there is no jitter. The jitter measuring routine 3 calculates an average value of a jitter of a 5-bit portion. A synchronization setting routine 4 corrects a jitter component with the average value of this jitter, and sets a phase so that a timing of a sampling pulse supplied to a data store part 5 becomes the center of each bit of receiving data contained in the signal S1. The data store part 5 inputs the receiving data at the timing of the sampling pulse to which the phase is set in such a way, and stores it.



## LEGAL STATUS

[Date of request for examination] 14.07.1995

[Date of sending the examiner's decision of rejection] 19.01.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-102953

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl.<sup>5</sup>

H 0 4 L 7/027

識別記号

庁内整理番号

F I

技術表示箇所

8949-5K

H 0 4 L 7/ 02

A

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平3-256430  
(22)出願日 平成3年(1991)10月3日

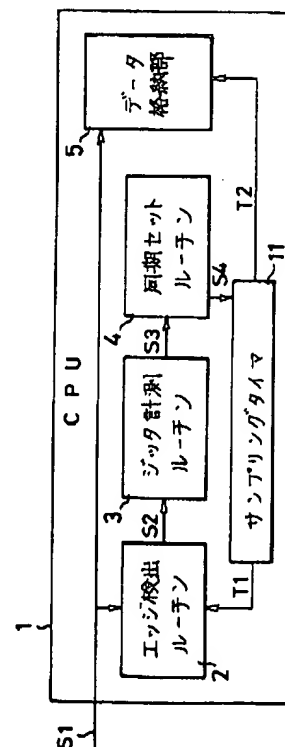
(71)出願人 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(72)発明者 関 良則  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(72)発明者 小池 清之  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(74)代理人 弁理士 川口 義雄 (外1名)

(54)【発明の名称】 ビット同期装置

(57)【要約】

【目的】 数ビットのビット同期信号から同期タイミングを抽出できる簡単な構成のビット同期装置を提供する。

【構成】 エッジ検出ルーチン2は受信信号S1に含まれるビット同期信号の各符号変化点までのサンプリングパルス数を計数する。ジッタ計測ルーチン3は、計数された各符号変化点までのサンプリングパルス数と、ジッタが無い場合に計数されるべき各符号変化点までのサンプリングパルス数との差を計算して各ビット毎のジッタを求める。ジッタ計測ルーチン3は5ビット分のジッタの平均値を算出する。同期セットルーチン4はこのジッタの平均値によってジッタ成分を補正し、データ格納部5に供給されるサンプリングパルスのタイミングが信号S1に含まれる受信データの各ビットの中央となるように位相を設定する。データ格納部5はこのようにして位相の設定されたサンプリングパルスのタイミングで受信データを取り込み、格納する。



## 【特許請求の範囲】

【請求項1】 送信データの前に付加されシリアルに送られてくるビット同期信号から同期タイミングを抽出してビット同期を確立するビット同期装置であって、前記ビット同期信号のビット速度より速い速度で前記同期信号をサンプリングして前記同期信号の符号変化点を検出するエッジ検出手段と、検出された符号変化点の一つを基準点とし該基準点と各符号変化点との間で実行されるサンプリングの回数と、前記ビット同期信号にジッタが無い場合に前記基準点と各符号変化点との間で実行されるサンプリングの回数との差の平均値を算出するジッタ計測手段と、前記送信データのビット速度に実質的に等しい周期で前記送信データを各ビットの中心でサンプリングすべく前記算出された平均値を用いてサンプリング開始点を設定する同期セット手段とを備えたことを特徴とするビット同期装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、ビット同期信号から同期タイミングを抽出してビット同期を確立するビット同期装置に関するものである。

## 【0002】

【従来の技術】 従来、NRZ（非ゼロ復帰）信号の同期タイミングは、図7に示すような回路により抽出される。同図において、エッジ検出回路6は、図8に示すNRZ信号S1の符号変化点を検出して、NRZ信号S1の立上りおよび立下りで幅の狭いパルスからなるエッジ検出信号S5を出力する。タイミングタンク7は、NRZ信号S1のビット速度に等しい中心周波数を有する共振回路であり、エッジ検出回路6からの信号S5に30 応答して減衰振動をするため、NRZ信号S1中の符号変化点の無い部分のクロックを補うことが可能である。タイミングタンク7の出力信号S6はリミタ8で波形成形され、その出力信号S7は、フェーズロックドループ（PLL）9によってジッタ抑圧され、タイミングクロック信号S8としてCPU10に供給される。CPU10はこのクロック信号S8にもとづき、NRZ信号S1をサンプリングし、結果をデータ格納部に蓄積する。

【0003】 なお、タイミングタンク7のQ値が高くとれる場合には、タイミングタンク7自身がジッタの抑圧効果を持つようになるため、PLL9を省略してリミタ8の出力信号S7をそのままタイミングクロックとして使用することもある。

## 【0004】

【発明が解決しようとする課題】 しかし、1秒間に数百ビットから数十キロビットといった低速でデジタルデータ通信を行う場合には、タイミングタンク7の中心周波数が低く、十分に高いQ値を得ることが困難となる。即ち

(1) タイミングタンクを受動素子で構成すると、イン

ダクタンス、キャパシタンスが共に大きな値となり、素子の形状が大きくなって高価となる。また、素子自体のQ値を高くとれない。

(2) タイミングタンクを能動素子で構成すると、タイミングタンクはバンドパスフィルタ（BPF）と等価であり、高いQ値を得ようとするとき発振し易くなる。

【0005】 従って、タイミングタンクを用いた従来のビット同期装置は、低速のデータ伝送には不向きである。また、従来のビット同期装置では、その構成上、数ビットのビット同期信号だけからタイミングクロックを生成することは困難である。

【0006】 本発明の目的は、このような問題を解決し、データが低速で伝送される場合でも、簡単な構成でかつ確実に同期タイミングを抽出でき、しかも数ビット分のビット同期信号から同期タイミングを抽出できるビット同期装置を提供することにある。

## 【0007】

【課題を解決するための手段】 本発明の目的は、送信データの前に付加されシリアルに送られてくるビット同期信号から同期タイミングを抽出してビット同期を確立するビット同期装置であって、前記ビット同期信号のビット速度より速い速度で前記同期信号をサンプリングして前記同期信号の符号変化点を検出するエッジ検出手段と、検出された符号変化点の一つを基準点とし該基準点と各符号変化点との間で実行されるサンプリングの回数と、前記ビット同期信号にジッタが無い場合に前記基準点と各符号変化点との間で実行されるサンプリングの回数との差の平均値を算出するジッタ計測手段と、前記送信データのビット速度に実質的に等しい周期で前記送信データを各ビットの中心でサンプリングすべく前記算出された平均値を用いてサンプリング開始点を設定する同期セット手段とを備えたことを特徴とするビット同期装置によって達成される。

## 【0008】

【作用】 送信データの前に付加され、シリアルに送られてくるビット同期信号は、エッジ検出手段により、そのビット同期速度の数倍の速度でサンプリングされ、符号変化点を検出される。ジッタ計測手段は、エッジ検出手段により検出された符号変化点の1つを基準点とし、該基準点と各符号変化点との間におけるサンプリング回数と、ビット同期信号にジッタが含まれない場合に前記基準点と各符号変化点との間で実行されるべきサンプリング回数との差の平均値を算出する。同期セット手段は、算出された平均値を用いてサンプリング開始点を設定し、サンプリングタイマのサンプリング周期を送信データのビット速度に等しく、または、これにほぼ等しく設定する。このように、送信データの前に付加され、シリアルに送られてくるビット同期信号に基づいてジッタの平均値を検出し、この平均値だけサンプリング開始点をずらすことによりジッタ成分が補正され、ビット同期信

3

号に続いて送られてくるデータ信号は中心でサンプリングされる。

【0009】

【実施例】次に本発明の実施例について図面を参照して詳細に説明する。図1に本発明によるビット同期装置のブロック図を示す。このビット同期装置はCPU1により構成されている。同図において、サンプリングタイマ11は、このビット同期装置に入力されるビット同期信号のビット速度の6倍の周波数T1を有するサンプリングパルスと、ビット同期信号のビット速度と同一またはこれにほぼ等しい周波数T2を有するサンプリングパルスT2とを生成して出力する。サンプリングパルスT2の位相は、後述の遅延信号S4にもとづいて設定される。

【0010】エッジ検出ルーチン2は、周波数T1のサンプリングパルスのタイミングでビット同期信号をサンプリングし、その符号変化点を検出する。ジッタ計測ルーチン3は、エッジ検出ルーチン2が検出した符号変化点の一つを基準点とし、その基準点からエッジ検出ルーチン2が検出した各符号変化点までの間に含まれるサンプリングパルスの数と、ビット同期信号にジッタがない場合に基準点から各符号変化点までの間に含まれるサンプリングパルスの数との差を求め、その平均値を算出する。同期セトルルーチン4は、ジッタ計測ルーチン3が算出した平均値にもとづいて遅延信号S4を生成し、これをサンプリングタイマ11に供給して、周波数T2のサンプリングパルスの位相を設定する。データ格納部5は周波数T2のサンプリングパルスのタイミングで受信データサンプリングし、サンプリングした受信データを蓄積する。

【0011】送信信号のビット同期信号の各符号変化点と受信信号のビット同期信号の各符号変化点とのずれ、即ちジッタ成分 $\Delta t_i$ は、次式で示される。

【0012】

【数1】

$$\Delta t_i = t_i' - (t_i + A)$$

【0013】ここで、iは符号変化点の番号であり、 $t_i$ は送信信号のビット同期信号の各符号変化点の時刻を表し、 $t_i'$ は受信信号のビット同期信号の各符号変化点の時刻を表す。また、Aはジッタ成分の平均値を表す。これら変化点の時刻 $t_i$ 、 $t_i'$ の関係は例えば図2に示すようになっており、また、横軸を $t$ 、縦軸を $t'$ としたグラフ上に点 $(t_i, t_i')$ をプロットすると図3に示すようになる。図中、実線は $t' = t + A$ で表される直線であり、点 $(t_i, t_i')$ はこの直線を中心にはばらついている。

【0014】

【数2】

$$\begin{aligned} \sum_{i=1}^n \Delta t_i &= \frac{1}{n} \sum_{i=1}^n (t_i' - t_i - A) \\ &= \frac{1}{n} \left[ \sum_{i=1}^n (t_i' - t_i) - \sum_{i=1}^n A \right] \\ &= \frac{1}{n} \sum_{i=1}^n (t_i' - t_i) - A \end{aligned}$$

従って

$$A = \frac{1}{n} \sum_{i=1}^n (t_i' - t_i)$$

【0015】とすることにより、ジッタ成分を補正することが可能となる。このビット同期装置では、ジッタ計測ルーチン3がジッタの平均値Aを算出し、同期セトルルーチン4はその平均値Aにもとづき、ジッタに伴うずれを補正し、サンプリングパルスの位相を適切に制御する。

【0016】次に、送信データの前にビットB1～B8からなる8ビットのビット同期信号が付加されている場合の上記ビット同期装置の動作を図4の波形図及び図5のフローチャートを参照して説明する。

【0017】ジッタ計測ルーチン3はまずパラメータの初期設定として、平均ジッタA、サンプルビット数B、サンプルカウンタC、ならびにジッタDをそれぞれ0に設定する(ステップS501)。次にサンプリングタイマ11はサンプリングパルスの周波数をビット同期信号の6倍の周波数T1に設定する(ステップS502)。この状態で、受信信号S1が入力されると、エッジ検出ルーチン2はサンプリングパルスのタイミングで信号S1をサンプリングし(ステップS503)、Cに1を加え(ステップS504)、信号S1の符号が変化したか否かを判定し(ステップS505)、符号が変化するまでステップS503～505を繰り返す。そして符号が変化すると、これをジッタ計測ルーチン3に伝える。

【0018】ジッタ計測ルーチン3はこれにより、まず基準点の設定としてBおよびCを夫々1に設定する(ステップS506)。その後、エッジ検出ルーチン2は、ステップS503～505と同様の処理を行って受信信号S1、従ってビット同期信号のエッジ検出を行い、エッジを検出すると、それまでに数えたサンプリングパルスの数Cを信号S2としてジッタ計測ルーチン3に与える(ステップS507)。このサンプリングパルスの数Cは、ビット同期信号のビットB1の立上りのタイミングである基準点から、ビットB1の立下りまでの間に含まれるサンプリングパルスの数に等しい(図4参照)。

【0019】ジッタ計測ルーチン3は、ジッタDを $D = C - 6 \times B$ により算出する(ステップS508)。この式において、 $6 \times B$ は、受信信号S1にジッタがなかつ

た場合、ビットB1の立上りから立下りまでの間に本来含まれるサンプリングパルスの数(この場合には6)である。従って、Dは図4に示す期間Δt1に含まれるサンプリングパルスの数となる。

【0020】次にジッタ計測ルーチン3は、ビット数Bに1を加え(ステップS509)、エッジ検出ルーチン2から信号S2が送られて来るのを待つ。そして、エッジ検出ルーチン2がビットB2の立上りを検出し、それまでに計数したサンプリングパルスの数Cを信号S2として出力すると(ステップS510)、ジッタ計測ルーチン3はビットB1の場合と同様にして、ビットB2の立上りに対応するジッタ、すなわち期間Δt2に含まれるサンプリングパルスの数を算出する(ステップS510)。

$$\text{ジッタの平均値 } A = 1/5 \cdot \sum_{i=1}^5 (\Delta t_i \text{ 中のサンプリングパルス数})$$

【0024】そして、ビットB8の立下りの時点で、ジッタの平均値Aと、1ビットの半周期の期間に含まれるサンプリングパルス数、すなわち3とを加算し、その加算結果の数のサンプリングパルスに相当する時間だけ位相をずらせるための信号S4をサンプリングタイマ11に与え(ステップS516)、サンプリングタイマ11が出力する周波数T2のサンプリングパルスの位相を設定する(ステップS517)。その結果、周波数T2のサンプリングパルスのタイミングは受信データの各ビットの中央に設定されることになる。

【0025】データ格納部5はこのようにして位相が設定されたサンプリングパルスに同期してビット同期信号に続く受信データを受信し(ステップS518)、ビット同期がとれているか否かを確認する動作を数ビット繰り返す(ステップS519)。

【0026】このように本実施例のビット同期装置は、タイミングタンクを用いないので低速でデータ伝送を行う場合でも、確実にビット同期が確立され、しかも数ビット分のビット同期信号によって同期を確立することができる。

【0027】なお、サンプリングタイマ11がデータ格納部5に出力するサンプリングパルスの周波数は、必ずしもビット同期信号の周波数に一致させる必要はなく、ほぼ一致していれば受信データのサンプリングが可能である。受信データが短い場合や、CPUのシステムクロックのずれが無視できる場合には、図6(a)に示すように受信信号S1としては単にビット同期信号に受信データが続く形で装置に入力すればよく、一方、受信データが長い場合や、CPUのシステムクロックのずれが無視できない場合には、図6(b)に示すように、受信データを分割し、分割した各受信データごとにビット同期信号を付加して同期タイミングを取り直すようにすれば

\*1)。

【0021】以下同様にして、各ビットB3、B4の立下り、立上りに対応するジッタが計測され、ビットB5に対してもステップS512～S514によりビットB5の立下りに対応するジッタが計測される。

【0022】同期セトルルーチン4は、ジッタ計測ルーチン3が計測した各ビット毎のジッタを信号S3としてジッタ計測ルーチン3からビットB7の期間で受け取り、それらをすべて加算して5で割ることにより、ジッタの平均値Aを求める(ステップS515)。なお、この処理を式で表すと次のようになる。

【0023】

【数3】

よい。

【0028】

【発明の効果】以上説明したように本発明のビット同期装置は、構成が比較的簡単であり、タイミングタンクを用いないので、低速でデータ伝送を行う場合でも、装置を安価に構成でき、かつ確実にビット同期を確立し、しかも数ビット分のビット同期信号によって同期を確立することができる。特に本発明のビット同期装置は、構内ページングシステムなどの短いデータの受信に最適である。

【図面の簡単な説明】

【図1】本発明によるビット同期装置のブロック図である。

【図2】送信信号の符号変化点と受信信号の符号変化点との関係の説明図である。

【図3】送信信号の符号変化点と受信信号の符号変化点との関係を示すグラフである。

【図4】図1のビット同期装置の動作を説明するためのタイミングチャートである。

【図5】図1のビット同期装置の動作を説明するためのフローチャートである。

【図6】送信データのフォーマットを示す図である。

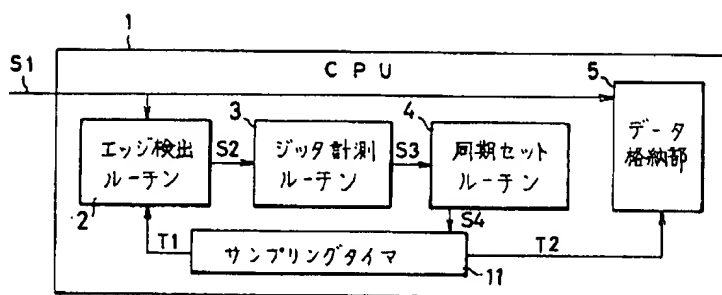
【図7】従来のビット同期装置のブロック図である。

【図8】図7のビット同期装置の各部の信号を示す波形図である。

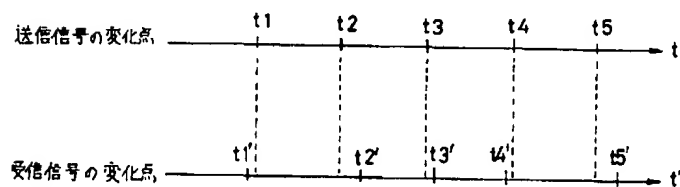
【符号の説明】

- 1 CPU
- 2 エッジ検出ルーチン
- 3 ジッタ計測ルーチン
- 4 同期セトルルーチン
- 5 データ格納部
- 11 サンプリングタイマ

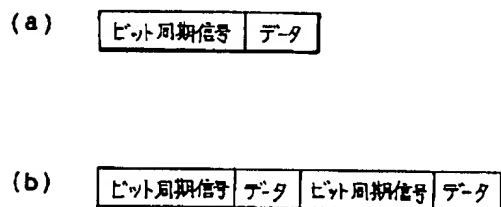
【図1】



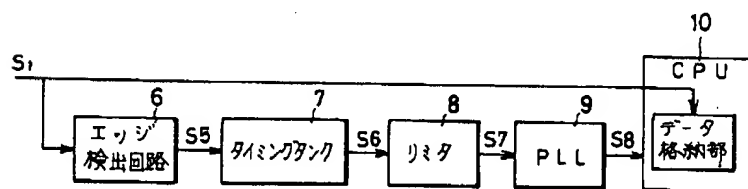
【図2】



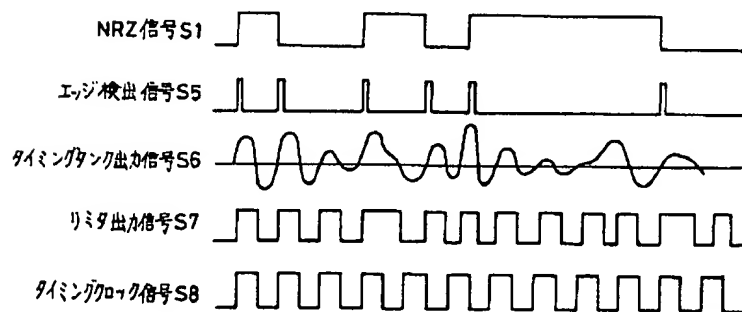
【図6】



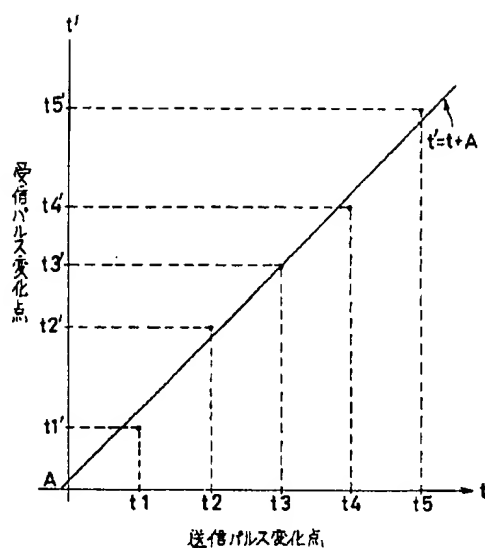
【図7】



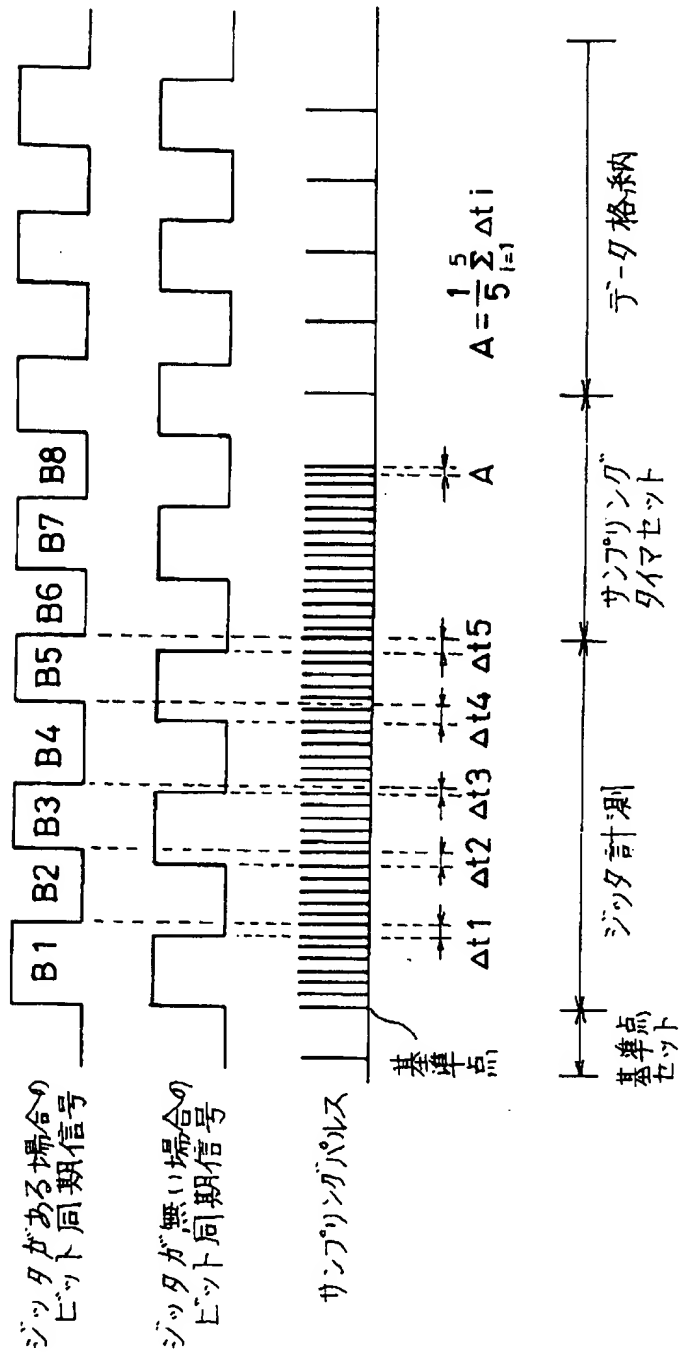
【図8】



【図3】



【図4】



【図5】

